

CONCISE STATEMENT OF JP57-109994

Application No. 55-184087

Publication Date: July 8, 1982

Inventor: Tomigashi

This reference was cited by Japanese Patent Office for showing "A television comprising a liquid crystal panel having a plurality of TFT elements in a matrix configuration, and a tuner integrally formed with the liquid crystal panel."

Claim 1 of this reference is directed to a display panel comprising a switching element provided over a substrate and a display element which is driving by switching said switching element, characterized in that said display element is disposed corresponding to an intersection of a source line and a gate line, and the switching element of each display element includes a data switching element and a discharge switching element.

Fig. 1 shows a display panel 1, a plurality of source lines {S}, a plurality of gate lines {G}, a transistor 11 for inputting/outputting data, a display element Z_{ij} disposed between an electrode 12 and a common electrode E, a capacitor 10 for storing data, a source driver 2, a circuit 5 which processes information to be displayed on the display panel and supplies the processed information to the source line driver. The circuit 5 may be a tuner or an amplifier if the display information is a television signal. The reference numeral 17 is a transistor discharging.

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

00959694

DISPLAY PANEL

PUB. NO.: 57-109994 [JP 57109994 A]

PUBLISHED: July 08, 1982 (19820708)

INVENTOR(s): TOGASHI SEIGO

APPLICANT(s): CITIZEN WATCH CO LTD [000196] (A Japanese Company or
Corporation), JP (Japan)

APPL. NO.: 55-184087 [JP 80184087]

FILED: December 26, 1980 (19801226)

INTL CLASS: [3] G09G-003/36; G01D-007/00; G02F-001/133; G02F-001/17;
G09F-009/30; G09G-003/20; G09G-003/30

JAPIO CLASS: 44.9 (COMMUNICATION -- Other); 29.2 (PRECISION INSTRUMENTS --
Optical Equipment); 46.1 (INSTRUMENTATION -- Measurement)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS)

?

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57—109994

⑤ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 昭和57年(1982)7月8日

G 09 G 3/36
G 01 D 7/00
G 02 F 1/133
1/17
G 09 F 9/30
G 09 G 3/20
3/30

7250—5C
6470—2F
7348—2H
7267—2H
7520—5C
6453—5C
7250—5C

発明の数 1
審査請求 未請求

(全 7 頁)

⑭ 表示パネル

ズン時計株式会社技術研究所内

⑮ 特 願 昭55—184087

⑮ 出 願 人 シチズン時計株式会社

⑯ 出 願 昭55(1980)12月26日

東京都新宿区西新宿2丁目1番
1号

⑰ 発 明 者 富樫清吾

⑰ 代 理 人 弁理士 金山敏彦

所沢市大字下富字武野840シチ

明 細 書

1. 発明の名称

表示パネル

2. 特許請求の範囲

(1) 基板にスイッチング素子を積層し、該スイッチング素子を開閉して表示要素を駆動する表示パネルに於て、前記表示要素は複数のソース線と複数のゲート線の交点に対応して配置され、それぞれの表示要素に接続されるスイッチング素子はデータ用スイッチング素子と放電用スイッチング素子であることを特徴とする表示パネル。

(2) スwitchング素子はトランジスタであることを特徴とする特許請求の範囲第1項記載の表示パネル。

(3) 表示要素は容量素子が並列に接続されていることを特徴とする特許請求の範囲第1項記載の表示パネル。

(4) トランジスタは、データ用トランジスタと、放電用トランジスタとからなり、該データ用トランジスタのゲートとソースはそれぞれ表示要素に

対応するゲート線とソース線とに接続され、ドレインは放電用トランジスタのドレインと共に表示要素の一方の入力端に接続され、該放電用トランジスタのゲートは前記データ用トランジスタ以外のデータ用トランジスタが接続された他のゲート線に、ソースは表示要素の他方の入力端もしくは該他方の入力端とほぼ同電位となる配線に接続され、データ用トランジスタが選択された駆動期間では該データ用トランジスタを通じて表示要素に電荷が蓄積され、該駆動期間以外の一部の期間では前記放電用トランジスタを通じて電荷が放電される事を特徴とする特許請求の範囲第2項記載の表示パネル。

(5) 任意の表示要素に接続された放電用トランジスタのゲートが接続されたゲート線には、該表示要素に接続されたデータ用トランジスタのゲートが接続されたゲート線に印加される時分割信号の直前に選択される時分割信号が印加される事を特徴とする特許請求の範囲第4項記載の表示パネル。

3. 発明の詳細な説明

本発明はデータ書き込み用のトランジスタが設けられた基板を用いた表示パネルの消費電力を節減する構成に関する。

液晶(LC)やエレクトロクロミズム(EC)等の容量性の電気特性を示す表示要素を用いた表示装置は時計、電卓等広く実用化されている。しかし所謂マルチプレックス性が良くないため、例えばテレビ等の様な高密度表示を行なうためにはトランジスタ等のスイッチング素子を搭載した基板を用いる方法が提案され〔Proc. IEEE vol. 59-11, 1566 (1971)〕、試作品も発表(日経エレクトロニクス 1980, 11, 10 P. 68)されている。

表示要素として液晶を用いる場合、表示要素に印加される電圧は直流、交流どちらでも可能であるが、寿命、安定性の点を考えると交流の方が格段に優れている。しかし一般的な交流駆動の場合には逆充電により無駄な電力を消費してしまうので、逆充電を防止する駆動法も本発明者により特

ート線 G_1 に、ソース14はソース線 S_j に、ドレイン15は表示要素 Z_{ij} の一方の端の電極12に接続されている。表示要素 Z_{ij} は電極12と共通電極Eとの間に配置され、データ蓄積用の付加容量10が表示要素 Z_{ij} に並列に配置されている。

第1図に戻って、2はソース線ドライバであり、例えば第3図、第4図の $\phi(S_j)$ 、 $\phi'(S_j)$ 、 $\phi''(S_j)$ の如きデータ信号が各ソース線に供給する。

5は表示パネルに表示すべき情報を処理し、ソース線ドライバに供給する回路であり、表示情報が営業テレビジョン信号ならチューナー、アンプに相当し、計算器ならメモリ、アンプ等に相当する。3はゲート線ドライバであり、第3図、第4図の $\phi(G_1) \sim \phi(G_n)$ の様な時分割信号を各ゲート線に供給する。4は基準信号発生回路である。

以上のような構成の表示パネルの表示要素を交流的に駆動する従来の方法を第3図、第4図により説明する。

願昭54-167537として提案されているが表示パネルの構成によっては逆に消費電力が増加してしまう場合もある。

本発明は従来のデータ用トランジスタの他に放電用トランジスタを各表示要素に接続することにより効果的に消費電力を低減するものである。

更に、本発明では放電用トランジスタの制御は隣接した他のゲート線を利用しているので、従来例と比較しても配線を増す事なく良好な効果を生じ得る。

本発明の説明に先立ってトランジスタ搭載基板を用いた表示パネルを簡単に説明する。第1図は駆動回路を含む全体のブロック図である。1は表示部(パネル)であり複数のソース線 $\{S\}$ 及び複数のゲート線 $\{G\}$ がマトリックス状に配線されている。

第2図はマトリックスの交点部に対応する単位要素の等価回路図である。 S_j 、 S_{j+1} はソース線、 G_{i-1} 、 G_i はゲート線であり、データ(入出力)用トランジスタ11のゲート16はゲ

第3図(a)は共通電極Eを一定電位 $\phi'(E)$ とし、ソース線 S_j にはフィールドT、 \bar{T} 毎に $\phi'(E)$ を基準に反転した信号 $\phi''(S_j)$ を印加する方法である。表示要素 Z_{ij} に加わる電圧 $\phi(Z_{ij})$ は $\phi(G_i)$ が選択された時の $\phi''(S_j)$ をサンプリングし、次の選択時に書き換える迄はホールドされた信号となる。ここで信号が書き換わる時50、51に注目する。

この時には表示要素に蓄積された電荷と逆方向の信号が印加され、逆充電しなくてはならないので無駄な電力が消費される。これを改善する一つの方法は前に本発明者が出願した特願昭54-167537に示したと同じく、第3図(b)の方法である。これは各サンプリング期間の前半に共通電極電位 $\phi'(E)$ と一致する時間を設ける事により、 $\phi'(Z_{ij})$ の52、53の部分で自然放電させて逆充電を防止する方法である。

第3図の(b)と(a)を比べると表示要素(及び付加容量)の充放電による消費電力は(b)は(a)の約半分となる。

第4図は、第3図で固定であった共通電極電位 $\phi(E)$ をフィールドT、T毎にソース信号 $\phi(S_j)$ と同期させて反転する事により電位幅に節減する方法で本発明者の特願昭54-160623に示してある方法である。第3図の半分の電位幅で同様の電圧波形 $\phi(Z_{ij})$ 、 $\phi'(Z_{ij})$ を表示要素に印加する事が出来る。

以上の如く従来方法でも交流駆動が可能であり、第3図(b)、第4図(d)の方法を用いれば表示要素の消費電力も半減される。しかし、表示パネルの電力消費は表示要素だけでなく配線容量の充放電も行なわれる。

表示要素損失と、配線容量損失の大小関係は、付加容量の大きさ、表示要素の面積、抵抗、配線幅、基板の導電率等に依存する。テレビ表示の場合、液晶の動的散乱モードを用い十分に大きな付加容量を付けた場合には表示要素(付加容量も含む)損失の方が大きい。ツイステッドネマチックモードやゲストホストモード等の電界効果モードを用いた場合には配線容量損失の方が大きい。

れ、もう一方の端(ソース)20は表示要素 Z_{ij} 及び付加容量10の他の一端である共通電極Eに接続されている。

第6図を用いて本実施例の駆動方法を説明する。ゲート信号 $\phi(G_1) \sim \phi(G_n)$ は第3図、第4図と同様時分割された選択信号である。ソース信号 $\phi'(S_j)$ も第3図(a)のソース信号と同じである。しかし、本実施例は $i-1$ 番目のゲート線で放電用トランジスタが駆動されるために i 番目のゲート線が選択される1つ前のタイミングである $i-1$ 番目のゲート線が選択された期間に表示要素 Z_{ij} の容量及び付加容量10の両端が短絡されて電荷が放電し、表示要素 Z_{ij} に印加される電圧は $\phi'(Z_{ij})$ となる。この様に本実施例ではソース信号 $\phi'(S_j)$ は低周波成分が多いにもかかわらず表示要素での逆充電は54、55の期間で生じない。

第7図は第4図の従来例と同様、フィールドTとTでソース信号 $\phi(S_j)$ と共通信号 $\phi(E)$ の極性を反転して電圧幅を低減した場合である。

配線容量が無視出来ない場合では第3図(b)第4図(d)はかえって不利である。即ち表示信号 $\phi(S_j)$ の周波数は比較的低いのに対し $\phi'(S_j)$ 、 $\phi''(S_j)$ は高周波数成分が多く配線容量損失が多くなるからである。

本発明は以上のような従来例の欠点を改善する方法に関し、配線容量損失は第3図(a)、第4図(c)と同等でありながら表示容量損失は第3図(b)、第4図(d)と同等で全体的には最も低い損失を実現するものである。以下、本発明を実施例に基づいて説明する。

第5図は本発明の実施例に於ける単位要素の等価回路である。第2図の従来例と比較すると放電用トランジスタ17に特徴がある。データ用トランジスタが i 番目のゲート線で制御されるのに対し、放電用トランジスタは一つ手前 ($i-1$ 番目) のゲート線で制御されている。放電用トランジスタの一方の端(ドレイン)19は表示要素 Z_{ij} 及び付加容量10の一方の端及びデータ用トランジスタのドレイン15に接続さ

この場合も第6図と同様ソース信号の周波数を上げる事なく、逆充電を阻止できる。

以上の実施例より明らかな如く、本発明では各表示要素毎に放電用トランジスタを設けた事に特徴がある。その結果各要素毎での放電が可能となり、ソース線に付随する配線容量を放電する必要がなくなり、全体損失を低減する事が可能となった。表示パネルは面積的余裕がありトランジスタ1個の付加は問題がない。

本実施例の他の特徴は表示要素 Z_{ij} 用の放電用トランジスタの制御を一本手前のゲート線 G_{i-1} で行っている点にある。

このゲート線は勿論表示要素 $Z_{i-1,j}$ に接続したデータ用トランジスタのゲートにも接続されており、放電用トランジスタ用に新たな配線は設けていない。しかしゲート線 $G_1 \sim G_n$ には時分割信号 $\phi(G_1) \sim \phi(G_n)$ が印加されている事から表示要素 Z_{ij} 用の放電用トランジスタを一本手前のゲート線 G_{i-1} で制御する事はデータ書込みの直前のタイミングで放電を行う事が

出来、本実施例の構成は配線を増す事なく最も効果的に放電を行い得るものと言える。

放電用トランジスタを他のゲート線で制御してもよいが、本実施例の如くデータ書き込み直前での放電は不可能である。又独立に配線を設けてもよいが構成や配線損失がやや面倒になる。

第5図の実施例では放電用トランジスタの一方の端(ドレイン)20を表示要素の一方の端である共通電極Eに接続したが、共通電極Eとはほぼ同電位となる部分があればそこに接続しても第5図の実施例と同等の効果が得られる。特に表示要素として液晶、EC等を用いた場合にはトランジスタが設けられている基板と共通電極Eが設けられている基板は液晶層を挟んで分離されている場合が多く、放電用トランジスタを共通電極Eと接続させるためには独立の配線を必要とする事がある。このような場合には独立の配線を用いてもよいが他の配線でも共通電極電位とはほぼ等しい電位の配線で代用すると構成が簡略化される。

第8図はその一例であり、放電用トランジスタ

17のドレイン20と付加容量10の一端9は他のゲート線 G_{i-2} に接続されている。

第6図の駆動波形でゲート信号 $\phi(G_1) \sim \phi(G_n)$ の非選択電位と共通信号電位 $\phi(E)$ を一致させておけばほとんどの期間で両信号は一致し、実効的には第5図と同等の駆動が可能である。本実施例ではゲート線 G_{i-2} に接続したがゲート線 G_i 、 G_{i-1} 以外のゲート線ならどれにつないでも同等の効果が得られる。

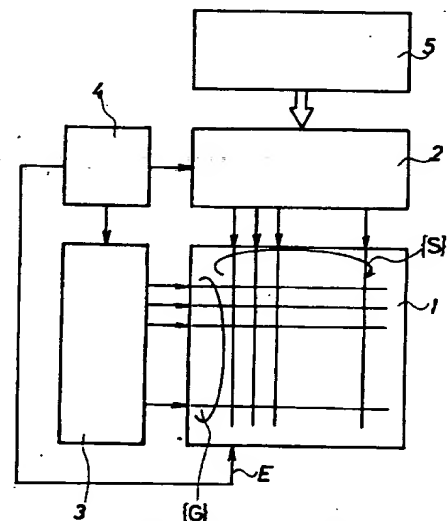
以上の実施例から明らかな如く、本発明は簡略な構成で、表示パネルの消費電力の低減可能な方法を提供する。

本発明は液晶、EC等容量性負荷の表示要素を用いた場合に特に有効である。本発明の低消費電力性は腕時計等の携帯用機器にとって特に有効である。

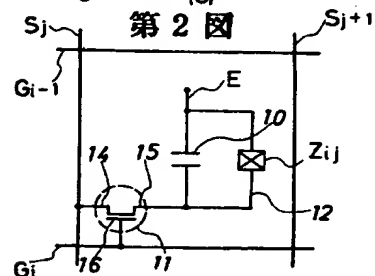
4. 図面の簡単な説明

第1図は駆動回路を含む表示パネルのブロック図、第2図は従来例の表示パネルに於ける単位要素の等価回路図、第3図、4図は従来例の駆動波

第1図



第2図



形図、第5図は本発明の一実施例の表示パネルに於ける単位要素の等価回路図、第6図、7図は本発明の駆動波形図、第8図は本発明の他の実施例の表示パネルに於ける単位要素の等価回路図。

$S_1 \sim S_j$ 、 $S_{j+1} \sim S_m \dots$ ソース線

$G_1 \sim G_{i-1}$ 、 G_i 、 $\sim G_n \dots$ ゲート線

$Z_{ij} \dots$ 表示要素 E \dots 共通電極

10 \dots 付加容量 11 \dots データ用トランジスタ

12 \dots 表示要素の一方の入力端

14 \dots データ用トランジスタのソース

15 \dots データ用トランジスタのドレイン

16 \dots データ用トランジスタのゲート

17 \dots 放電用トランジスタ

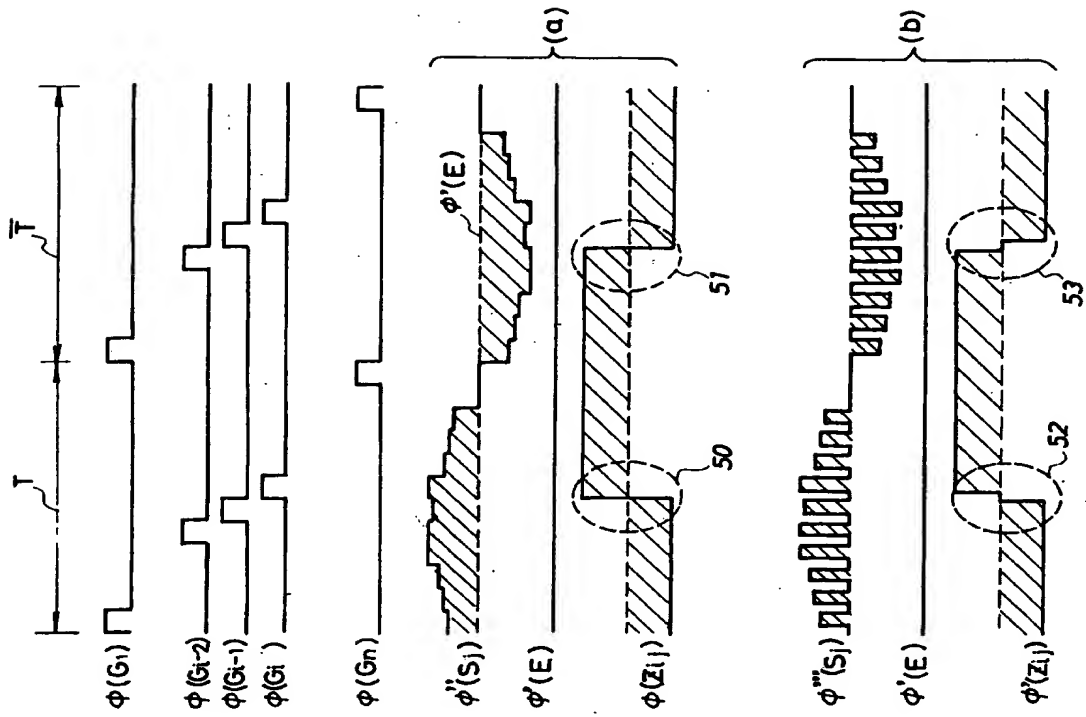
18 \dots 放電用トランジスタのゲート

19 \dots 放電用トランジスタのソース

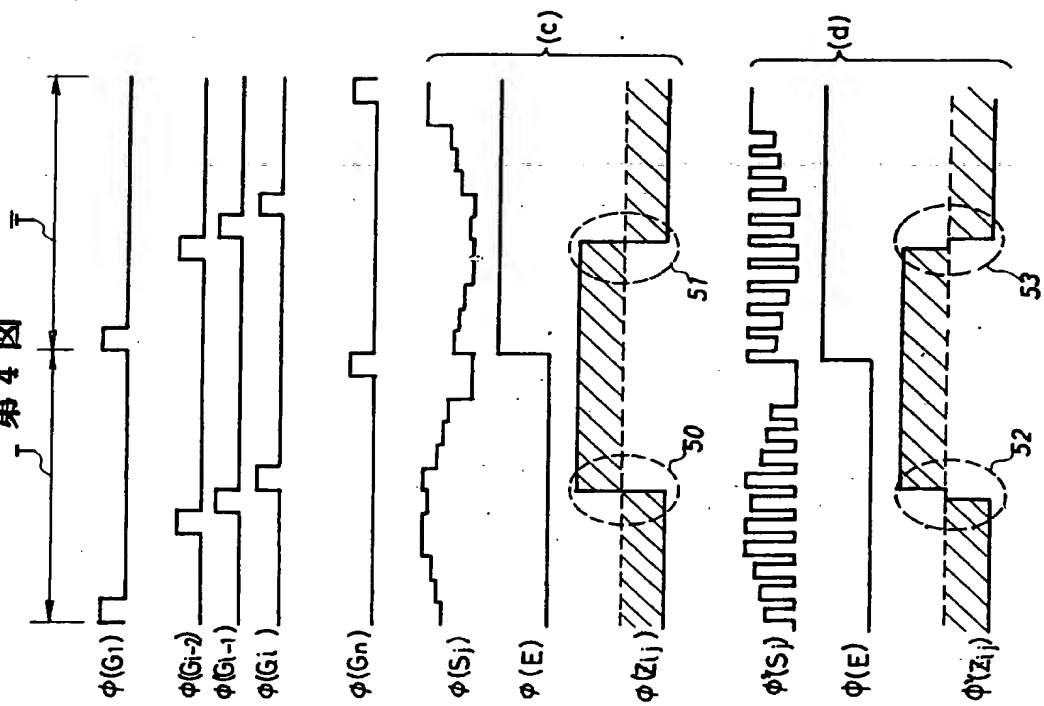
20 \dots 放電用トランジスタのドレイン

特許出願人 シチズン時計株式会社

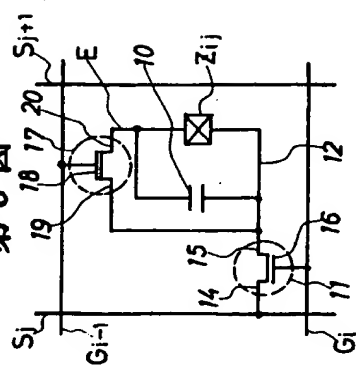
第3図



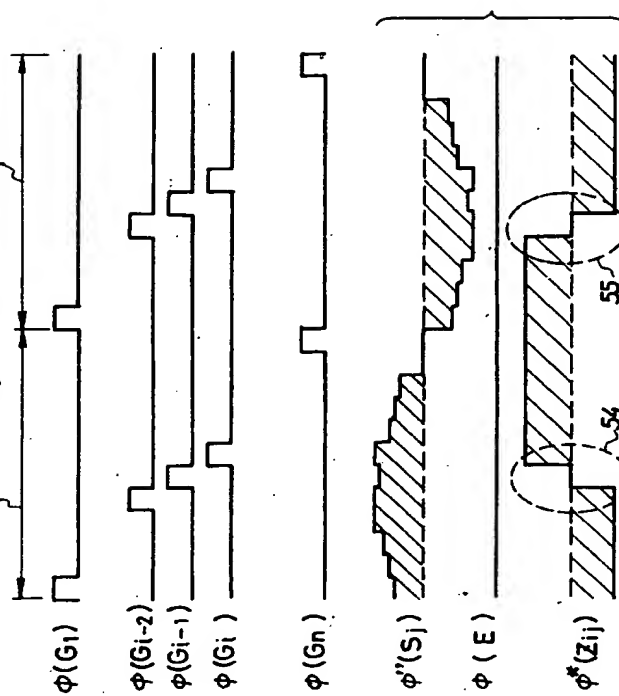
第4図



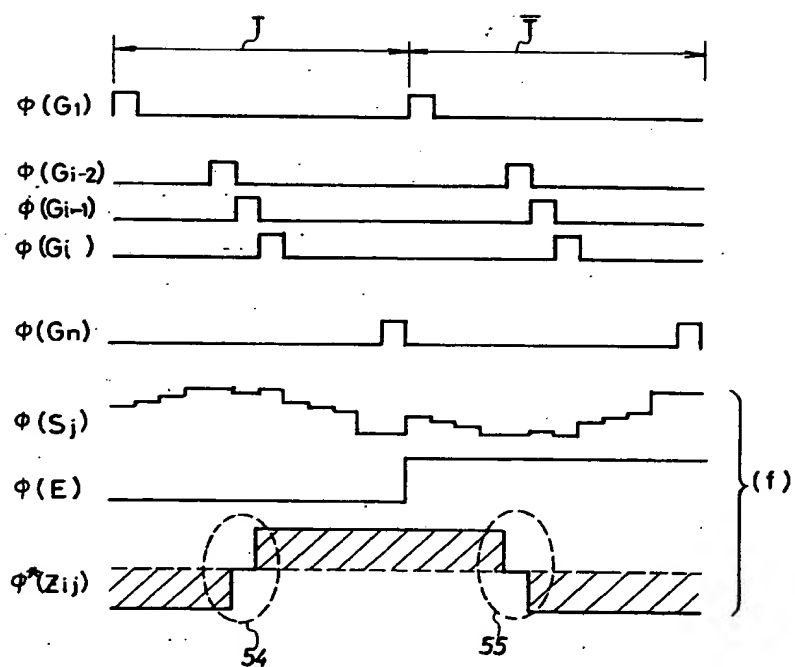
第5図



第6図



第7図



第 8 図

